

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月 7日  
Date of Application:

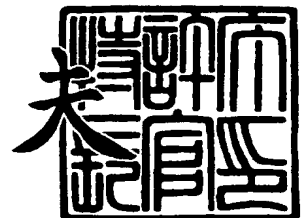
出願番号 特願2002-324460  
Application Number:  
[ST. 10/C]: [JP2002-324460]

出願人 株式会社半導体エネルギー研究所  
Applicant(s):

2003年 9月 2日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3071633

【書類名】 特許願

【整理番号】 P006712

【提出日】 平成14年11月 7日

【あて先】 特許庁長官 殿

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 本田 達也

【特許出願人】

    【識別番号】 000153878

    【氏名又は名称】 株式会社半導体エネルギー研究所

    【代表者】 山崎 舜平

【手数料の表示】

    【予納台帳番号】 002543

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

**【書類名】 明細書**

**【発明の名称】** 半導体素子の評価方法、当該半導体素子の作製方法、当該半導体素子を有するデバイスの設計管理システム、当該半導体素子へのドーズ量制御プログラム、当該プログラムを記録したコンピュータ読み取り可能な記録媒体、及びドーズ量制御装置

**【特許請求の範囲】****【請求項 1】**

半導体素子进行评估する方法において、  
前記半導体素子のVg-Id特性を測定し、前記Vg-Id特性からしきい値電圧及びフラットバンド電圧を求めるステップと、  
前記しきい値電圧及び前記フラットバンド電圧から活性化されたドーパント密度を求めるステップと、  
前記半導体素子の添加されたドーパント密度を求めるステップと、を有することを特徴とする半導体素子の評価方法。

**【請求項 2】**

半導体素子进行评估する方法において、  
前記半導体素子のVg-Id特性を測定し、前記Vg-Id特性からしきい値電圧及びフラットバンド電圧を求めるステップと、  
前記しきい値電圧及び前記フラットバンド電圧から活性化されたドーパント密度を求めるステップと、  
前記半導体素子の添加されたドーパント密度を求めるステップと、  
前記活性化されたドーパント密度と前記添加されたドーパント密度とからドーパント活性化率を求めるステップと、を有することを特徴とする半導体素子の評価方法。

**【請求項 3】**

請求項 1 又は 2 において、SIMS 分析により前記半導体素子の添加されたドーパント密度を求めることを特徴とする半導体素子の評価方法。

**【請求項 4】**

請求項 1 乃至 3 のいずれか一において、前記半導体素子のチャネル形成領域にお

ける前記活性化されたドーパント密度及び前記添加されたドーパント密度を求めることを特徴とする半導体素子の評価方法。

【請求項 5】

請求項 1 乃至 3 のいずれか一において、前記半導体素子の不純物領域における前記活性化されたドーパント密度及び前記添加されたドーパント密度を求めることを特徴とする半導体素子の評価方法。

【請求項 6】

デバイスを構成する半導体素子の $V_g$ - $I_d$ 特性を測定する手段と、  
前記 $V_g$ - $I_d$ 特性から活性化されたドーパント密度を算出する手段を有するコンピュータと、  
前記半導体素子における添加されたドーパント密度を測定する手段と、  
を有するデバイスの設計管理システムであって、  
前記コンピュータは、前記活性化されたドーパント密度及び前記添加されたドーパント密度からドーパント活性化率を算出し、前記ドーパント活性化率からドーズ量を決定する機能を有することを特徴とするデバイスの設計管理システム。

【請求項 7】

デバイスを構成する半導体素子の $V_g$ - $I_d$ 特性を測定し、しきい値電圧とフラットバンド電圧を求める手段と、  
前記しきい値電圧及びフラットバンド電圧と、ドーパント活性化率とから活性化されたドーパント密度を算出する手段を有するコンピュータと、  
を有するデバイスの設計管理システムであって、  
前記コンピュータは、前記ドーパント活性化率及び前記活性化されたドーパント密度からドーズ量を決定する機能を有することを特徴とするデバイスの設計管理システム。

【請求項 8】

デバイスを構成する半導体素子における添加されたドーパント密度を測定する手段と、  
前記ドーパント密度と、ドーパント活性化率からしきい値電圧及びフラットバンド電圧を算出する手段を有するコンピュータと、

を有するデバイスの設計管理システムであって、  
前記コンピュータは、前記ドーパント活性化率と、しきい値電圧及びフラットバンド電圧とからドーズ量を決定する機能を有することを特徴とするデバイスの設計管理システム。

【請求項 9】

絶縁表面上に半導体膜を形成し、  
前記半導体膜を結晶化し、  
前記結晶化された半導体膜にドーパントを添加し、  
前記ドーパントが添加された半導体膜を活性化する半導体素子の作製方法において、  
前記半導体膜のチャネル形成領域のドーパント活性化率を求め、前記活性化率に基づいて決定されたドーズ量のドーパントを添加することを特徴とする半導体素子の作製方法。

【請求項 1 0】

絶縁表面上に半導体膜を形成し、  
前記半導体膜を結晶化し、  
前記結晶化された半導体膜にドーパントを添加してソース領域及びドレイン領域を形成し、  
前記ドーパントが添加された半導体膜を活性化する半導体素子の作製方法において、  
前記ソース領域又は前記ドレイン領域のドーパント活性化率を求め、前記活性化率に基づいて決定されたドーズ量のドーパントを添加することを特徴とする半導体素子の作製方法。

【請求項 1 1】

半導体素子へのドーズ量制御するコンピュータを、  
前記半導体素子のしきい値電圧及びフラットバンド電圧からドーパント活性化率を算出させる演算手段、  
前記演算手段から得られるドーパント活性化率に基づいて所定のドーズ量を設定する設定手段、として機能させるためのドーズ量制御プログラム。

**【請求項 1 2】**

半導体素子へのドーズ量制御するコンピュータを、  
前記半導体素子のしきい値電圧及びフラットバンド電圧からドーパント活性化率を算出させる演算手段  
作製条件の異なる複数の半導体素子において、前記演算手段により求められたドーパント活性化率を記録する記憶手段、  
前記記憶手段から、所定の半導体素子のドーパント活性化率を選択する判断手段、  
前記判断手段により選択されたドーパント活性化率に基づいてドーズ量を設定する設定手段、として機能させるためのドーズ量制御プログラム。

**【請求項 1 3】**

請求項 1 1 又は 1 2 において、前記演算手段は  
$$V_{th} - V_{fb} = (e \cdot n_i / C_{ox}) (N_d / n_i) \cdot [(4 \epsilon_0 \cdot \epsilon_{Si} \cdot kT) / (e^2 \cdot (N_d / n_i) \cdot n_i) \cdot \ln(N_d / n_i)]^{1/2} + (2kT/e) \cdot \ln(N_d / n_i)$$

(但し、 $V_{th}$ ：しきい値電圧、 $V_{fb}$ ：フラットバンド電圧、 $e$ ：電子の電荷、 $n_i$ ：真性キャリア密度、 $C_{ox}$ ：半導体素子の絶縁膜容量、 $N_d$ ：活性化されたドーパント密度、 $\epsilon_0$ ：真空の誘電率、 $\epsilon_{Si}$ ：半導体の比誘電率、 $k$ ：ボルツマン定数、 $T$ ：絶対温度である) から活性化されたドーパント密度を求め、前記活性化されたドーパント密度と添加されたドーパント密度とからドーパント活性化率を求める機能を有することを特徴とするドーズ量制御プログラム。

**【請求項 1 4】**

半導体素子へのドーズ量制御するコンピュータを、  
前記半導体素子のしきい値電圧及びフラットバンド電圧からドーパント活性化率を算出させる演算手段、  
前記演算手段から得られるドーパント活性化率に基づいて所定のドーズ量を設定する設定手段、  
前記設定手段により設定されたドーズ量を入力する手段、として機能させるためのドーズ量制御プログラムを記録したコンピュータ読み取り可能な記録媒体。

**【請求項 1 5】**

半導体素子へのドーズ量制御するコンピュータを、  
前記半導体素子のしきい値電圧及びフラットバンド電圧からドーパント活性化率を算出させる演算手段  
作製条件の異なる複数の半導体素子において、前記演算手段により求められたドーパント活性化率を記録する記憶手段、  
前記記憶手段から、所定の半導体素子のドーパント活性化率を選択する判断手段、  
前記判断手段により選択されたドーパント活性化率に基づいてドーズ量を設定する設定手段、として機能させるためのドーズ量制御プログラムを記録したコンピュータ読み取り可能な記録媒体。

【請求項 16】

請求項 14 又は 15 において、前記演算手段は

$$V_{th}-V_{fb}=(e \cdot n_i/Cox) (Nd/n_i) \cdot [(4 \epsilon_0 \cdot \epsilon_{Si} \cdot kT)/(e^2 \cdot (Nd/n_i) \cdot n_i) \cdot \ln(Nd/n_i)]^{1/2} + (2kT/e) \cdot \ln(Nd/n_i)$$

(但し、 $V_{th}$ :しきい値電圧、 $V_{fb}$ :フラットバンド電圧、 $e$ :電子の電荷、 $n_i$ :真性キャリア密度、 $Cox$ :半導体素子の絶縁膜容量、 $Nd$ :活性化されたドーパント密度、 $\epsilon_0$ :真空の誘電率、 $\epsilon_{Si}$ :半導体の比誘電率、 $k$ :ボルツマン定数、 $T$ :絶対温度である)から活性化されたドーパント密度を求め、前記活性化されたドーパント密度と添加されたドーパント密度とからドーパント活性化率を求める機能を有することを特徴とするドーズ量制御プログラムを記録したコンピュータ読み取り可能な記録媒体。

【請求項 17】

半導体素子へのドーズ量を制御する装置であって、  
前記半導体素子のしきい値電圧及びフラットバンド電圧、又はドーパント密度を入力する手段と、  
前記しきい値電圧及び前記フラットバンド電圧からドーパント活性化率を算出させる演算手段と、  
前記演算手段から得られるドーパント活性化率に基づいて所定のドーズ量を設定する設定手段と、

前記設定手段により設定されたドーズ量を出力する手段と、を有するドーズ量制御装置。

【請求項 18】

半導体素子へのドーズ量を制御する装置であって、  
前記半導体素子の作製条件又は当該半導体素子を備えるデバイスの設計条件を入力する手段と、  
測定する半導体素子のしきい値電圧及びフラットバンド電圧からドーパント活性化率を算出させる演算手段  
作製条件の異なる複数の半導体素子において、前記演算手段により求められたドーパント活性化率を記録する記憶手段と、  
前記記憶手段から、所定の半導体素子のドーパント活性化率を選択する判断手段と、  
前記判断手段により選択されたドーパント活性化率に基づいてドーズ量を設定する設定手段と、  
前記設定手段により決定されたドーズ量を出力する手段と、を有するドーズ量制御装置。

【請求項 19】

請求項 17 又は 18 において、前記演算手段は

$$V_{th}-V_{fb}=(e \cdot n_i/Cox) (Nd/n_i) \cdot [(4 \epsilon_0 \cdot \epsilon_{Si} \cdot kT)/(e^2 \cdot (Nd/n_i) \cdot n_i) \cdot \ln(Nd/n_i)]^{1/2} + (2kT/e) \cdot \ln(Nd/n_i)$$

(但し、 $V_{th}$ : しきい値電圧、 $V_{fb}$ : フラットバンド電圧、 $e$ : 電子の電荷、 $n_i$ : 真性キャリア密度、 $Cox$ : 半導体素子の絶縁膜容量、 $Nd$ : 活性化されたドーパント密度、 $\epsilon_0$ : 真空の誘電率、 $\epsilon_{Si}$ : 半導体の比誘電率、 $k$ : ボルツマン定数、 $T$ : 絶対温度である) から活性化されたドーパント密度を求め、前記活性化されたドーパント密度と添加されたドーパント密度とからドーパント活性化率を求める機能を有することを特徴とするドーズ量制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】



本発明は、半導体素子を有するデバイスに関する。詳しくは、半導体膜中のドーパントの密度や活性化率の評価方法に関し、これらを踏まえた半導体デバイスの設計管理システム（生産管理システム）を提供する。更に本発明は、コンピュータにドーパントの活性化率を求めさせ、ドーズ量を制御させるプログラムを提供する。

#### 【0002】

##### 【従来の技術】

電界効果型トランジスタ（以下、FETと表記する）、薄膜トランジスタ（以下、TFTと表記する）、その他の半導体素子において、しきい値電圧は動作点を決定する重要なパラメータである。このしきい値電圧は、添加されたドーパント（不純物）の活性化率（以下、ドーパント活性化率と表記する）やキャリアの濃度分布（以下、キャリア密度と表記する）に起因して決定される。

#### 【0003】

すなわち、半導体素子が所定の特性を得るためには、ドーパント活性化率やキャリア密度を制御することが必要となる。なおドーパント活性化率とは、半導体膜に添加された量と、実際に活性化されたドーパントの量との比で表される。またキャリア密度とは、実際にチャネル形成領域を流れるキャリアの量であり、印加電圧の有無によっても変化する。特に、ドーパント活性化率が100%のとき、ドーパントの密度と、キャリア密度とは等しくなる。

#### 【0004】

そこで従来、ホール測定法、CV測定法（容量測定法）、又はSIMS分析を用いて、キャリア密度を求めていた。

#### 【0005】

上記キャリア密度の測定方法であるSIMS分析を利用した例として、導電型不純物が導入された半導体膜の表面に、該表面に帯電が起こるような条件で一次イオンを照射し、表面から放出される特定のエネルギーを有する二次イオンの強度を一次イオンの照射時間の経過に従って順次測定して、二次イオンの強度に相当するキャリアの濃度と一次イオンの照射時間に対応する半導体膜のエッチング量とにより、半導体膜中の深さ方向のキャリア濃度分布を取得する方法があった（特

許文献 1 参照)。

【0006】

【特許文献 1】

特開平 7-66258

【0007】

【発明が解決しようとする課題】

しかし上記のホール測定法では、TFTやSOIといった膜厚の薄い試料の測定は難しかった。これは膜厚が小さくなると膜の抵抗が上昇し、ホール電流が小さくなり、キャリア密度を求めることは非常に困難となるためである。また特にガラス基板上に形成された半導体素子の場合、基板を接地とする必要のあるCV測定法は使用できなかった。

【0008】

更に、ホール測定法やCV測定法には、デバイスとは異なったある特定の測定用TEGを用意する必要がある、TEGのキャリア密度を測定していた。そして、TEGは実際のデバイスプロセスの熱履歴とは異なった条件で作製されるため、デバイス内のキャリア密度やドーパント活性化率とは異なってしまう可能性があった。

【0009】

また実際のデバイスにおいて、キャリアに寄与するドーパント密度（つまり、活性化しているドーパント密度）は、半導体膜が非晶質や多結晶のとき、膜中の欠陥密度が大きい、半導体膜の状態によって大きく異なってしまった。

【0010】

一方、欠陥密度の少ない単結晶ウエハでさえ、求められたキャリア密度が実際のデバイスの値と同じであるとは限らなかった。これは、ホール測定法、CV測定法、又はSIMS分析によってTEGのドーパントの活性化率が求められたとしても、デバイスが完成するまでの段階で幾つかの熱工程を経るため、デバイスの半導体膜中のドーパント活性化率とずれる可能性が高いためである。

【0011】

またホール測定法やCV測定法を用いて精度良くキャリア密度を求めるためには、できるだけ大きな容量(CV測定の場合)やホール電流(ホール測定の場合)を測定

する必要がある。そのため、ホール測定やC V測定用のT E Gはデバイスから比べるとかなり大きなものになってしまった。その結果、得られるキャリア密度は広範囲な領域における平均値となり、局所的な値のバラツキを評価することができなかった。

#### 【 0 0 1 2 】

そこで本発明は、正確、且つ簡便にデバイスのドーパント活性化率を求める新たな方法を提供する。そして、本発明は求められた活性化率を基に、適切なしきい値電圧制御、つまりドーズ量の制御を行ったデバイスの製造方法を提供する。

#### 【 0 0 1 3 】

また本発明は、ドーピング装置のドーピング量を適切な値とし、効率よく所望の特性を有するデバイスを設計する設計管理システム（生産管理システム）を提供する。

#### 【 0 0 1 4 】

更に本発明は、実施者の経験に頼らず、一定結果を短時間でドーズ量を得ることができるプログラムを提供する。

#### 【 0 0 1 5 】

なおデバイスとは、FETを代表とする半導体素子が複数集まり、ある機能を有するもの（シフトレジスタや駆動用トランジスタ等）を指す。そして複数のデバイスが集まり、液晶表示装置、EL表示装置、その他の表示装置を構成する。

#### 【 0 0 1 6 】

##### 【課題を解決するための手段】

以上の課題を鑑み本発明者は、デバイスのしきい値電圧とフラットバンド電圧から半導体膜の活性化されたドーパント密度（第1のドーパント密度）を求め、SIMS分析（2次イオン質量分析、Secondary Ion Mass Spectrometry）から求めた添加されたドーパント密度（第2のドーパント密度）との比からドーパント活性化率を求める方法を導きだした。

#### 【 0 0 1 7 】

なおSIMS分析でなくとも、添加されたドーパント密度を求められる物理的分析手法や化学分析法を用いてもよい。例えばドーパントが添加された膜を剥がし、

溶媒に溶かし、質量比により添加されたドーパント密度を求めることができる。

#### 【0018】

具体的に本発明は、デバイスの $V_g$ - $I_d$ 曲線からしきい値電圧とフラットバンド電圧とを求める。そして、本発明の理論式を使って、活性化したドーパント密度を変数とし、 $V_g$ - $I_d$ 曲線から求めたしきい値電圧とフラットバンド電圧とが一致するようにドーパント密度を求める。これが活性化したドーパント密度である。次いで、活性化したドーパント密度を、SIMS分析から求める添加されたドーパント密度で割ることによりドーパント活性化率を求めることを特徴とする。

#### 【0019】

フラットバンド電圧とは、デバイスの $V_g$ - $I_d$ 特性においてバンドがフラットになるときのゲート電圧で定義される。フラットバンド電圧からゲート電圧を正又は負に大きくしていくとバンドが反転に近づき電流が流れ出す。従って、フラットバンド電圧は $V_g$ - $I_d$ 曲線のオフ電流とオン電流との変極点とみなすことができる。

#### 【0020】

なお、本発明により求められるドーパント活性化率は半導体膜、すなわち、チャンネル形成領域だけでなく、ソース領域、ドレイン領域、又はLDD領域など（合わせて不純物領域と表記する）において求めることができる。例えば、LDD領域のドーパント活性化率は以下のようにして求めることができる。

#### 【0021】

まず、半導体素子のLDD領域にドーパントの注入を行う。例えば、絶縁膜を半導体膜上に成膜した後に、ドーパントの注入を行い、その後、半導体膜上の絶縁膜をエッチング除去し、ゲート絶縁膜とゲート電極を半導体膜上に形成し半導体素子を作製すればよい。

#### 【0022】

そして、作製された半導体素子の $V_g$ - $I_d$ 曲線からしきい値電圧とフラットバンド電圧（具体的にはshift電圧）を求め、LDD領域の活性化されたドーパント密度を求めることができる。更に、SIMS分析データと併せればソース領域又はドレイン領域におけるドーパントの活性化率を求めることができる。

**【0023】**

また本発明の理論式から得られたドーパント活性化率等をデータベース化してもよい。そして、デバイスを構成する半導体素子のチャネル形成領域や、不純物領域のしきい値電圧及びフラットバンド電圧と比較することにより、添加されたドーパント密度の情報を得ることができる。また逆に、添加されたドーパント密度により、しきい値電圧及びフラットバンド電圧を見積もることもできる。このようにデータベース化することにより、複数のサンプルから所定のドーズ量を設定していた従来の方法と比べ、ドーズ量を素早く設定することが可能となる。

**【0024】**

このような本発明の評価方法により、デバイスのチャネル形成領域や不純物領域のドーパント活性化率を簡便に求めることができる。すなわち本発明により、測定用TEGでなく、デバイスの半導体素子を測定することが可能となる。またデバイスにおいて、数 $\mu$ mオーダーの領域のドーパント活性化率を求めることができるため局所的な値のバラツキも調べることも可能となる。そして本発明の測定方法は、膜厚の小さいデバイスにおいても評価することが可能となる。

**【0025】**

そして更に本発明は、求めたドーパント活性化率を基にして、適切なドーピング量（ドーズ量）を決定するデバイスの設計管理システムを行うことができる。例えば、最もドーパント活性化率が高くなるドーパント密度が得られ、このときのドーズ量をドーピング装置へフィードバックすることができる。更には、ドーピング装置の修理や立ち上げ時にも、ドーパント活性化率を利用し、ドーズ量の微調整を行うともできる。

**【0026】**

なお評価する目的に応じて、ドーパント活性化率や活性化されたドーパント密度を利用すればよい。例えば、半導体膜の結晶化状態を評価する場合ドーパント活性化率を利用し、ドーズ量を求める場合は活性化されたドーパント密度から求めればよい。但し、単にドーズ量を設定するのみでは時間を考慮していないことが考えられるため、効率よくドーピングを行うためには、ドーパント活性化率を使用の方が好ましい。

**【0027】**

そして適切なドーズ量に制御して形成された本発明のデバイスは、従来のドーピング装置で作製したデバイスと比べ、高い電気特性を有することができる。特に本発明のデバイス設計管理システムにより、しきい値電圧のバラツキが低減されたデバイスを提供することができる。すなわち本発明により、量産効率よく製品を製造することが可能となる。

**【0028】**

また更に、同一基板内の半導体素子間でのしきい値電圧のバラツキを低減することもできる。これは活性化率が低い場合、半導体素子が受けるしきい値電圧のバラツキの要因（加熱工程等）の影響を受けやすいが、本発明を用いドーパント活性化率をある程度高く制御することにより、しきい値電圧のバラツキの要因の影響を低減することができるためである。

**【0029】**

また、本発明の方法は、システム又はプログラムとして把握することも可能である。そして、プログラムはハードディスク、CD-ROM、光記録装置又は磁気記憶装置等のコンピュータ読み取り可能な記録媒体に記録できる。

**【0030】**

なお、半導体素子とは、TFTやFETを代表とする電界効果型トランジスタや、バイポーラトランジスタ等の接合型トランジスタが含まれる。但し接合型トランジスタの場合、測定用の電界効果型トランジスタが必要となる。

**【0031】**

以上のように本発明は、半導体素子の電気特性の安定性、及び信頼性の向上を得る正確且つ簡便な評価方法を提供することができる。そして、本発明のデバイスを備えた信頼性の高い液晶表示装置、EL表示装置、その他の表示装置を提供することができる。

**【0032】****【発明の実施の形態】****（実施の形態1）**

本実施の形態では、本発明の理論式について、FETを例に説明する。

## 【 0 0 3 3 】

まずFETのしきい値電圧、フラットバンド電圧をそれぞれ $V_{th}$ 、 $V_{fb}$ とおく。また、FETの絶縁膜容量を $C_{ox}$ 、空乏層に蓄えられる電荷を $Q$ とおく。更に表面ポテンシャルを $V_s$ とおく。このとき次式がなりたつ。

## 【 0 0 3 4 】

$$V_g - V_{fb} = Q / C_{ox} + V_s \quad (1)$$

## 【 0 0 3 5 】

ここで、 $V_g$ はFETのゲート電極に印加する電圧を表す。この式から $V_g = V_{th}$ のとき次式が成り立つ。

## 【 0 0 3 6 】

$$V_{th} = V_{fb} + Q / C_{ox} + V_s \quad (2)$$

## 【 0 0 3 7 】

$$Q = e \cdot N_d \cdot W_{max} \quad (3)$$

## 【 0 0 3 8 】

$$V_s = (e \cdot N_d \cdot W_{max}^2) / (2 \epsilon_0 \cdot \epsilon_{Si}) = 2V_s = 2(E_f - E_i) / e \quad (4)$$

## 【 0 0 3 9 】

ただし、 $N_d$ は活性化されたドーパント密度を表し、 $e$ は電子の電荷を表す。また、 $W_{max}$  は空乏層幅を表す。 $E_f$ 、 $E_i$ はそれぞれフェルミレベル、真性フェルミレベルを表す。更に $n_i$ を真性キャリア密度とおけば次式が成り立つ。

## 【 0 0 4 0 】

$$N_d = n_i \cdot \exp((E_f - E_i) / kT) \quad (5)$$

## 【 0 0 4 1 】

(4)、(5)式より次式が導かれる。

## 【 0 0 4 2 】

$$V_s = (2kT/e) \cdot \ln(N_d / n_i) = (e \cdot N_d \cdot W_{max}^2) / (2 \epsilon_0 \cdot \epsilon_{Si}) \quad (6)$$

## 【 0 0 4 3 】

ただし、 $\epsilon_0$ と $\epsilon_{Si}$ はそれぞれ真空の誘電率と半導体の比誘電率を表す。(6)式から $W_{max}$ は次式のようになる。

## 【 0 0 4 4 】

$$W_{\max} = [(4 \epsilon_0 \cdot \epsilon_{\text{Si}} \cdot kT) / (e^2 \cdot N_d) \cdot \ln(N_d/n_i)]^{1/2} \quad (7)$$

【 0 0 4 5 】

よって(2)、(3)、(6)、(7)式より次式が得られる。

【 0 0 4 6 】

$$V_{\text{th}} - V_{\text{fb}} = (e \cdot N_d / C_{\text{ox}}) \cdot [(4 \epsilon_0 \cdot \epsilon_{\text{Si}} \cdot kT) / (e^2 \cdot N_d) \cdot \ln(N_d/n_i)]^{1/2} + (2kT/e) \cdot \ln(N_d/n_i) \quad (8)$$

【 0 0 4 7 】

(8)式からわかるように、 $V_{\text{th}}$ と $V_{\text{fb}}$ が与えられれば活性化されたドーパント密度 $N_d$ を求めることができる。ただし、(8)式は解析的には解けないので数値計算により解かなければならない。また、 $N_d$ と $n_i$ は指数で表される大きな値であるため、数値計算の際は次式のように変形すると変数の次数が下がり計算が容易になる。

【 0 0 4 8 】

$$V_{\text{th}} - V_{\text{fb}} = (e \cdot n_i / C_{\text{ox}}) (N_d/n_i) \cdot [(4 \epsilon_0 \cdot \epsilon_{\text{Si}} \cdot kT) / (e^2 \cdot (N_d/n_i) \cdot n_i) \cdot \ln(N_d/n_i)]^{1/2} + (2kT/e) \cdot \ln(N_d/n_i) \quad (9)$$

【 0 0 4 9 】

実際の計算では、 $N_d/n_i$ を変数として(9)式の左辺と右辺が等しくなるように $N_d/n_i$ を決める。

【 0 0 5 0 】

このように半導体素子のしきい値電圧とフラットバンド電圧との差から活性化されたドーパント密度 ( $N_d$ ) を求めることができ、そして添加されたドーパント密度とからドーパント活性化率を求めることができる。なお実際の半導体素子について活性化されたドーパント密度を得るには、上記式において補正値を考慮する場合もある。

【 0 0 5 1 】

また、計算に必要なしきい値電圧 $V_{\text{th}}$ はFETの $V_g$ - $I_d$ 曲線から求めることができる。グラデュアルチャネル近似から飽和領域でのドレイン電流は次式で与えられる。

【 0 0 5 2 】



$$I_d = (W/L) \cdot C_{ox} \cdot u_{FE} \cdot (V_g - V_{th})^2 \quad (10)$$

**【 0 0 5 3 】**

また、WとLはそれぞれチャネル形成領域の幅と長さを表す。そしてCoxとuFEは絶縁膜容量と電界効果移動度を表す。(10)式からわかるように、(10)式の両辺に平方をとればIdの平方とVgは線形な関係にある。そしてこの線形な直線とx軸との交点がしきい値電圧Vthを与える。

**【 0 0 5 4 】**

上記の式と、デバイスの電気特性 (Vg-Id曲線) から求まるしきい値電圧 (Vth) 及びフラットバンド電圧 (Vfb) より、ドーパント密度 (Nd) が決定される。そしてSIMS分析から求まるドーパント密度Ncとによりドーパント活性化率 (Nd/Nc) を簡便に求めることができる。

**【 0 0 5 5 】**

また本発明より求められたドーパント活性化率やその加熱条件、ドーピング条件をデータベース化しておき、しきい値電圧及びフラットバンド電圧が得られた測定試料に対して、ドーパント密度 (Nc) を求めることもできる。

**【 0 0 5 6 】**

また更に、ドーパント密度 (Nc) が得られた測定試料に対して、測定した試料を基に作製されるFETのしきい値電圧及びフラットバンド電圧を求めることもできる。但し、各測定試料において加熱条件やドーピング条件が同一であることが必要である。

**【 0 0 5 7 】**

なお、本実施の形態では一例としてFETを用いて説明したが、本発明の理論式が成立するデバイスであればよく、例えばTFTであってもよい。

**【 0 0 5 8 】**

(実施の形態 2)

本実施の形態では、実施の形態 1 のように求められたドーパント活性化率を、デバイスを作製する工程にフィードバックする設計管理システムについて、図 1 を用いて説明する。

**【 0 0 5 9 】**

図1 (A)、(B)はそれぞれ、設計管理システムの構成図、設計管理システムのフローチャートを示す。

#### 【0060】

まず、デバイスとなる半導体素子を作製し、該デバイスを測定試料101とし、 $V_g$ - $I_d$ 特性測定器102及びSIMS分析装置103により測定を行う。そして、 $V_g$ - $I_d$ 特性より求められたしきい値電圧 ( $V_{th}$ ) 及びフラットバンド電圧 ( $V_{fb}$ ) とを、コンピュータ105へ入力し、本発明の理論式に基づいてドーパント密度 ( $N_d$ ) を算出させる。そして更に、SIMS分析から求められたドーパント密度 ( $N_c$ ) と、理論式から求められたドーパント密度 ( $N_d$ ) とにより、コンピュータにドーパント活性化率を算出させる。

#### 【0061】

次いで、求められたドーパント活性化率に基づいて、しきい値電圧を考慮した最適なドーズ量（例えば、最も活性化率の高いドーズ量）を決定し、そのドーズ量となるようドーピング装置106を制御する。すなわち、ドーパント活性化率をドーピング装置のドーズ量へフィードバックする。

#### 【0062】

更に、コンピュータ105とドーピング装置106との間にデバイスシミュレーターを設けてもよい。デバイスシミュレーターは、回路に必要とされるデバイスサイズを計算するため、チャンネル形成領域、ソース領域又はドレイン領域のドーパント密度 ( $N_d$ ) を入力する必要がある。そしてドーパント密度 ( $N_d$ ) は、しきい値電圧とフラットバンド電圧から求めることができる。

#### 【0063】

また、デバイスの信頼性の向上に必要なLDD部のドーパント密度をデバイスシミュレーターで計算し、所望の値になるようなドーズ量をデータベース用のパソコンから検索し、そして得られたドーズ量をドーピング装置へ送れば信頼性の高いデバイスを効率良く制作することが可能となる。

#### 【0064】

また本実施の形態の設計管理システムは、チャンネル形成領域及び不純物領域のいずれのドーパント活性化率を用いても実施することができる。

**【0065】**

このように、ドーパント活性化率からドーズ量を決定することにより、最適なしきい値電圧に制御されたデバイスを効率よく作製することができる。

**【0066】**

(実施の形態3)

本実施の形態では、実施の形態2とは異なり、ドーパント活性化率をデータベース化して蓄積している場合の設計管理システムについて、図2を用いて説明する。

**【0067】**

図2(A)は、設計管理システムの構成図を示し、図2(B)は設計管理システムのフローチャートを示す。また本実施の形態は、測定試料に対して、 $V_g$ - $I_d$ 特性測定を行ったか、SIMS分析を行ったかにより、二つの経路(i)、(ii)に分けられる。

**【0068】**

最初に経路(i)について説明する。まず、半導体素子を有する測定試料A201に対して、 $V_g$ - $I_d$ 特性測定器202を用いて測定を行う。そしてコンピュータ205に、得られたしきい値電圧及びフラットバンド電圧とから、ドーピング密度( $N_d$ )を算出させる。そして、蓄積されているドーパント活性化率と、ドーピング密度( $N_d$ )をコンピュータ205に比較させる。その結果、測定試料A201のドーパント密度( $N_c$ )が求められる。

**【0069】**

そして、得られたドーパント密度( $N_c$ )及びそのときのドーパント活性化率に基づき、ドーピング装置のドーズ量を制御する。すなわち、ドーパント密度( $N_c$ )をドーピング装置のドーズ量へフィードバックする。

**【0070】**

また経路(ii)は、半導体素子を有する測定試料B211に対して、SIMS分析装置203を使用して測定を行う場合である。SIMS分析により得られたドーパント密度( $N_c$ )と、蓄積されているドーパント活性化率とをコンピュータ205に比較させる。その結果、測定試料B211のドーパント密度( $N_d$ )、しきい値電

圧又はフラットバンド電圧が求められる。

#### 【0071】

そして、得られたドーパント密度 ( $N_d$ ) 及びそのときのドーパント活性化率に基づき、ドーピング装置のドーズ量を制御する。すなわち、しきい値電圧及びフラットバンド電圧をドーピング装置のドーズ量へフィードバックする。

#### 【0072】

なお、実施の形態1と同様にコンピュータ205とドーピング装置206との間にデバイスシミュレーターを設けてもよい。

#### 【0073】

以上のように、複数の半導体素子におけるしきい値電圧、フラットバンド電圧、ドーパント密度 ( $N_d$ ,  $N_c$ ) 及びドーパント活性化率をデータベース化することができる。その結果、半導体素子に対して $V_g$ - $I_d$ 特性測定及びSIMS分析のいずれかを行えば、最適なドーズ量を決定することが可能となる。

#### 【0074】

(実施の形態4)

本実施の形態では、ドーズ量を制御するためのコンピュータシステムに関して、図3を用いて説明する。

#### 【0075】

なお、コンピュータは、パーソナルコンピュータ、ワークステーション、メインフレームコンピュータ等各種のコンピュータが含まれる。そしてコンピュータは中央演算処理装置 (CPU)、主記憶装置 (メインメモリ: RAM)、コプロセッサ、画像アクセラレータ、キャッシュメモリ、入出力制御装置 (I/O) 等、一般的なコンピュータに備えられるハードウェア手段を備えている。また、ハードディスク装置等の外部記憶装置、インターネット等の通信手段を備えることができる。

#### 【0076】

図3は、コンピュータシステムの構成図を示し、端末301と、ドーピング装置302と、コンピュータ311と、測定手段321とを有している。

#### 【0077】

端末 301 は、半導体素子の作成条件やデバイスの設計条件等を入力する手段を有している。なお端末 301 は、携帯情報端末 (PDA) や、コンピュータ等を利用すればよい。そして、端末 301 とドーピング装置 302 は、デバイスを作製する場所 (例えばクリーンルーム) に設けられている。

#### 【0078】

コンピュータ 311 は、測定手段 321 から入力されるしきい値電圧 ( $V_{th}$ )、フラットバンド電圧 ( $V_{fb}$ ) 及びドーパント密度 ( $N_c$ ) とからドーズ量を演算する手段 (演算手段 312) と、演算手段から得られるドーズ量をドーピング装置に設定する手段 (設定手段 315) と、を有している。なお設定手段は、ドーズ量を印刷や表示により出力することもできる出力手段も兼ね備えている。

#### 【0079】

またコンピュータ 311 は、演算手段 312 から得られた各しきい値電圧 ( $V_{th}$ )、フラットバンド電圧 ( $V_{fb}$ )、ドーパント密度 ( $N_c$ )、半導体素子の作製条件、デバイスの設計条件等を記録する記憶手段 313 を有していてもよい。

#### 【0080】

更にコンピュータ 311 は、半導体素子の作製条件やデバイスの設計条件等に基づき、記憶手段 313 から適切なドーズ量を選択する判断手段 314 を有していてもよい。更に好ましくは、記憶手段 313 に各ドーピング装置の固有条件を記録しておき、判断手段 314 により最良なドーズ量を選択させるとよい。

#### 【0081】

そしてコンピュータ 311 は、デバイスを作製する場所に設けても、別の場所に設けてもよい。別の場所に設けるときは、端末 301 での各条件を、ネットワークを介して判断手段 314 へ入力すればよい。

#### 【0082】

測定手段 321 は、デバイスの電気特性である  $V_g$ - $I_d$  特性を測定し、しきい値電圧 ( $V_{th}$ ) と、フラットバンド電圧 ( $V_{fb}$ ) とを求める。また、デバイスのドーパント密度 ( $N_c$ ) を求めるため、SIMS 分析測定を行う。そして、測定手段 321 は、デバイスを作製する場所に設けても、別の場所に設けてもよい。別の場所に設けるときは、測定手段での各結果を、ネットワークを介して演算手段 312 へ

入力すればよい。また測定手段 321 と、コンピュータ 311 とを同一の場所に設けてもよい。

#### 【0083】

次に、図 3 (B) を用いてシステムの二つの経路について説明する。演算手段 312 から設定手段 315、そしてドーピング装置へ情報が流れる経路 (i) と、記憶手段 313 から判断手段 314 により選択された情報がドーピング装置へ流れる経路 (ii) とがある。

#### 【0084】

経路 (i) は、演算手段 312 に入力されるデバイスのしきい値電圧 ( $V_{th}$ ) と、フラットバンド電圧 ( $V_{fb}$ ) によりドーパント密度 ( $N_d$ ) を求める。そして、入力されるドーパント密度 ( $N_c$ ) により、ドーパント活性化率を算出させる。そして更に、ドーパント活性化率からドーズ量を算出させる。次いで、設定手段 315 によりドーズ量を設定させ、該ドーズ量をドーピング装置へ出力する。

#### 【0085】

経路 (ii) は、記憶手段 313 に記録されているデータベースから、判断手段 314 により半導体素子の作製条件やデバイスの設計条件に適するドーパント活性化率が選択され、ドーパント密度 ( $N_c$ ) が決定される。

#### 【0086】

更に、各ドーピング装置により所定のドーパント密度を得るためのドーズ量が異なってくることがある。その場合、記憶手段 313 に記録させておいた各ドーピング装置の固有条件を参照し、得られたドーパント密度を得るための最適なドーズ量を決定し、ドーピング装置へ出力する。

#### 【0087】

次に、ドーズ量制御プログラムのルーチンフローの一例として、図 3 (B) の (ii) で説明した経路を、図 12 を用いて説明する。

#### 【0088】

まず、測定する半導体素子の電気特性から得られた  $V_{th}$ 、 $V_{fb}$  を入力し、本発明の理論式からドーピング密度 ( $N_d$ ) を計算させる。また、デバイスの設計条件 (形成する箇所や半導体素子の構成等) や半導体素子の作製条件 (半導体膜の活性

化条件等)を入力する。そして、デバイスの設計条件に最適なドーパント活性化率を、ドーパント密度 ( $N_d$ ) と半導体素子の作製条件を考慮して演算 (計算) させる。このとき、データベースに保存されているデバイスの設計条件、半導体素子の作製条件、及びドーパント活性化率の条件とを参照し、最適なドーパント活性化率を判断させる。

#### 【0089】

次いで、ドーパント活性化率に基づいて、添加するドーパント密度 ( $N_c$ ) を演算させる。なおドーピング装置は、一定のドーズ量を添加することができる安定性は必要であるが、各ドーピング装置における所定のドーズ量が添加できる条件をデータベース化しておいてもよい。つまり、各ドーピング装置の条件が記録されたデータベースを参照し、所定のドーパント密度を得るためのドーズ量を判断させる。

#### 【0090】

そして得られたドーズ量の結果を表示させる。その後、ドーズ量をドーピング装置へ出力したり、印刷したりして出力すればよい。そして更に、得られたドーズ量等のデータを保存させ、データベースに記録させる。

#### 【0091】

以上のようなドーズ量を制御するためのコンピュータシステムにより、効率よくドーズ量の決定を行うことができる。更に、実施者の経験に頼らず、一定結果を短時間でドーズ量を得ることができる。

#### 【0092】

##### 【実施例】

##### (実施例1)

本実施例では、デバイスのチャネル形成領域におけるドーパント活性化率を求めた結果を説明する。なお、ドーパントはボロン (B) を使用した。

#### 【0093】

まず、測定試料の断面 (A) 及びSIMS分析用試料の断面 (B) について、図4を用いて説明する。

#### 【0094】

図4 (i) に示すように、絶縁基板400上に半導体膜401を形成する。そして、半導体膜をレーザ結晶化、熱結晶化又は結晶化を助長する金属元素を添加した結晶化法を用いて結晶化させる。なお、本実施例では加熱により半導体膜を結晶化した。

#### 【0095】

そして図4 (ii) に示すように、結晶化された半導体膜401にボロンをドーピングする。この時、ドーピング量を6条件とし、表1に示すように測定試料1～6を形成した。

#### 【0096】

【表1】

試料番号	ボロンドーズ量(/cm <sup>2</sup> )
1	$3.1 \times 10^{13}$
2	$5 \times 10^{13}$
3	$8 \times 10^{13}$
4	$1.3 \times 10^{14}$
5	$2 \times 10^{14}$
6	$3.2 \times 10^{14}$

#### 【0097】

またSIMS試料では、半導体膜の結晶化後、パターニングせずに $1 \times 10^{13}/\text{cm}^2$ 、30kV、5Wの条件でボロンをドーピングした。これでSIMS試料は完成する。

#### 【0098】

次に図4 (iii) に示すように、測定試料のみ半導体膜を所望の形状にパターニングし、 $L/W=8/8\mu\text{m}$ とした。そして、測定試料及びSIMS試料の半導体膜を覆ってゲート絶縁膜402を形成した。

#### 【0099】

その後図4 (iv) に示すように、第1の導電膜403と第2の導電膜404とが積層したゲート電極を形成した。そして、ゲート電極をマスクとしてリン(P)を添加し、ソース及びドレイン領域405、第1の低濃度不純物領域406、ゲート電極と重なる第2の低濃度不純物領域407、を形成し、nチャネル型TFETを完成させた。

#### 【0100】



なお、デバイスの各試料 1～6 と SIMS 試料とは、同一基板に形成しても、別基板に形成してもよい。なお、別基板に SIMS 試料を形成する場合は、Si ウェハを用いてもよい。そしてドーピング装置が安定しているならば、予め SIMS 試料用の基板を作製し、SIMS 分析を行えばよい。すなわち、基板毎またはロット毎に注入条件(GI膜厚、注入エネルギーなど)を変えるのであれば、基板毎又はロット毎に SIMS 分析を行う必要はない。

### 【0101】

そして、測定試料 1～6 の  $V_g$ - $I_d$  特性測定を行った。結果を図 9 に示す。図 9 より測定試料 1～6 のしきい値電圧  $V_{th}$  (V) と、フラットバンド電圧を求めた。その結果を表 2 に示す。

### 【0102】

【表 2】

試料番号	$V_{th}$ (V)	$V_{fb}$ (V)
1	1.59	-0.676
2	1.74	-0.643
3	2.6	-0.162
4	4.26	0.36
5	7.35	0.545
6	8.62	0.714

### 【0103】

そして得られた結果から、図 5 にボロンドーズ量と、しきい値電圧との関係を示す。図 5 より、ボロンドーズ量が増すにつれ、しきい値電圧が上昇することがわかる。但し図 5 は、ボロンドーズ量としきい値電圧との関係であり、活性化したボロンとしきい値電圧との関係を表してはいない。

### 【0104】

次に、SIMS 試料におけるボロンの深さ分布に対する SIMS 分析結果を、図 6 に示す。本実施例では SIMS 試料に、測定試料とは別基板である Si ウェハ上に絶縁膜  $1\ \mu\text{m}$  を形成したものを使用した。SIMS 試料の半導体膜 (Si 膜) の膜厚は  $50\ \text{nm}$  なので、ボロン密度は約  $4 \times 10^{18}/\text{cm}^3$  と見積もることができる。また、ドーズ量と SIMS から得られるボロン濃度は線形に比例すると仮定することができ、 $1 \times 10^{13}/\text{cm}^2$  以外のドーズ量は、図 6 の結果から単純に見積もることができる。

例えば  $5.0 \times 10^{13}/\text{cm}^2$  ドープした際の半導体膜に存在するボロン濃度は、  
 $5.0 \times 10^{13}/(1.0 \times 10^{13}) \times 4 \times 10^{18}/\text{cm}^3$  と計算される。

【0105】

また表3には、Vg-Id曲線から求めたしきい値電圧とフラットバンド電圧を理論式へ代入して求めたドーパント密度Ndと、SIMS分析から得られたドーパント密度Ncと、ドーパント活性化率 (Nd/Nc) との結果を示す。

【0106】

【表3】

試料番号	Nd[計算]( $/\text{cm}^3$ )	Nc[SIMS]( $/\text{cm}^3$ )	活性化率(%)
1	$9.76 \times 10^{15}$	$1.24 \times 10^{19}$	0.0787
2	$1.11 \times 10^{16}$	$2.00 \times 10^{19}$	0.0555
3	$1.60 \times 10^{16}$	$3.20 \times 10^{19}$	0.05
4	$3.61 \times 10^{16}$	$5.20 \times 10^{19}$	0.0694
5	$1.22 \times 10^{17}$	$8.00 \times 10^{19}$	0.153
6	$1.67 \times 10^{17}$	$1.28 \times 10^{20}$	0.13

【0107】

表3から、ドーズ量と、活性化したドーパント密度 (Nd) との関係を、図7に示す。図7からわかるように、ドーズ量と活性化したドーパント密度との関係は直線 (線形) にならない。これは、ドーパントの活性化率がドーズ量によって変わることを示している。

【0108】

また図8には、ドーズ量と、ドーパント活性化率との関係を示す。図8からドーズ量と活性化率とは直線的 (線形的) にならないことがわかる。そして、ドーズ量を増やすと活性化率が低下する領域が見られる。

【0109】

これは、一般に、膜中の欠陥密度が多い程活性化率は低くなるため、ある領域ではドーズ量に対する欠陥密度の発生の割合が高くなり、活性化率は低下すると考えられる。そして更にドーズ量を増やせば欠陥密度の発生よりも、添加されるドーパントの密度が高いために活性化率が向上すると考えられる。

【0110】

このように、ドーパント活性化率から半導体膜中の欠陥密度との相对比较をも

求めることができる。

#### 【0111】

以上のように、ドーズ量とドーパント活性化率とには特定の関係がないため、ドーズ量又はプロセスの変更毎にドーパント活性化率を求め、しきい値電圧の制御を行うことが必要となる。また、実施の形態で説明したようにドーパント活性化率からしきい値電圧やフラットバンド電圧、SIMS分析から得られる不純物添加量を求めることも可能である。

#### 【0112】

なお、本発明は全ての構造のFET、例えばSingle drain構造、Gold構造およびLDD構造そしてDual Gate構造、Double Gate構造のFETに適用することができる。

#### 【0113】

ゲート絶縁膜としては、熱酸化膜、TEOS膜、SiON膜、窒化膜などの単層膜およびそれらの組み合わせによる多層膜を使うことができる。ゲート電極としてはPoly-Siのほかタンゲステン、アルミニウム、チタン、タンタル等の単層膜およびそれらの組み合わせによる多層膜を使うことができる。

#### 【0114】

半導体膜を形成する基板としては半導体ウエハ、ガラス又は石英を使用することができる。また半導体膜は単結晶、多結晶およびアモルファスのいずれでも適用することができる。また、半導体膜の材料としてはSi、Geなどの単体のほかGaAs、InP、SiC、ZnSe、GaNなどのような化合物半導体でも適用することができる。更にSiGe、 $\text{Al}_x\text{GaAs}_{1-x}$ のような混晶半導体でも適用することができる。

#### 【0115】

更に全てのn型、p型のドナー(Phosphorous, Arsenide, Sb)又はアクセプター(Boron, Sn, Alなど)として働くドーパントに関して適用できる。実施例ではNchのTFTを用いてp型のドーパントであるボロンの活性化率を求めたが、PchのFETを用いればn型のドーパントの活性化率を求めることができる。例えば活性層にドナーとして働くn型のドーパントを注入しP型FETのVg-Id曲線からしきい値電圧とShift電圧を求めれば同様にn型ドーパントの活性化率を求めることができる。

#### 【0116】

**(実施例 2)**

本実施例では、測定試料 1 及び 5 に対して、しきい値電圧 ( $V_{th}$ )、フラットバンド電圧 ( $V_{fb}$ ) 及び本発明の理論式から求められるドーパント密度 ( $N_d$ ) の面内分布を測定した結果を示す。

**【0 1 1 7】**

なお面内分布とは、同一基板内におけるしきい値電圧 ( $V_{th}$ )、フラットバンド電圧 ( $V_{fb}$ ) 及びドーパント密度 ( $N_d$ ) バラツキを測定したものである。そしてまず、同一基板上に形成される測定試料に (1, 1)、(1, 2)・・・と番号を付す。そして各番号の測定試料のバラツキを求める。

**【0 1 1 8】**

図 1 0 に測定試料 1、図 1 1 に測定試料 5 の結果を示す。なお X 軸、Y 軸は測定試料に付された番号 ((0, 0) ~ (9, 9)) であり、測定試料は 1 0 × 1 0 個設けられている。

**【0 1 1 9】**

このように、本発明は従来の方法と異なり、基板内の局所的な値のバラツキまでを評価することができる。

**【0 1 2 0】****【発明の効果】**

本発明による新たな半導体素子の評価方法により、簡便にデバイスのドーパント活性化率を求めることができる。そして、得られたドーパント活性化率から、適切なしきい値電圧制御、つまりドーズ量の制御を行ったデバイスの作製方法を提供することができる。

**【0 1 2 1】**

また本発明により、ドーピング装置のドーピング量を適切な値とし、効率よく所望の特性を有するデバイスの設計管理システムを提供することができる。

**【0 1 2 2】**

更に本発明は、実施者の経験に頼らず、一定結果を短時間でドーズ量を得ることができるプログラム又はコンピュータ読み取り可能媒体を提供することができる。

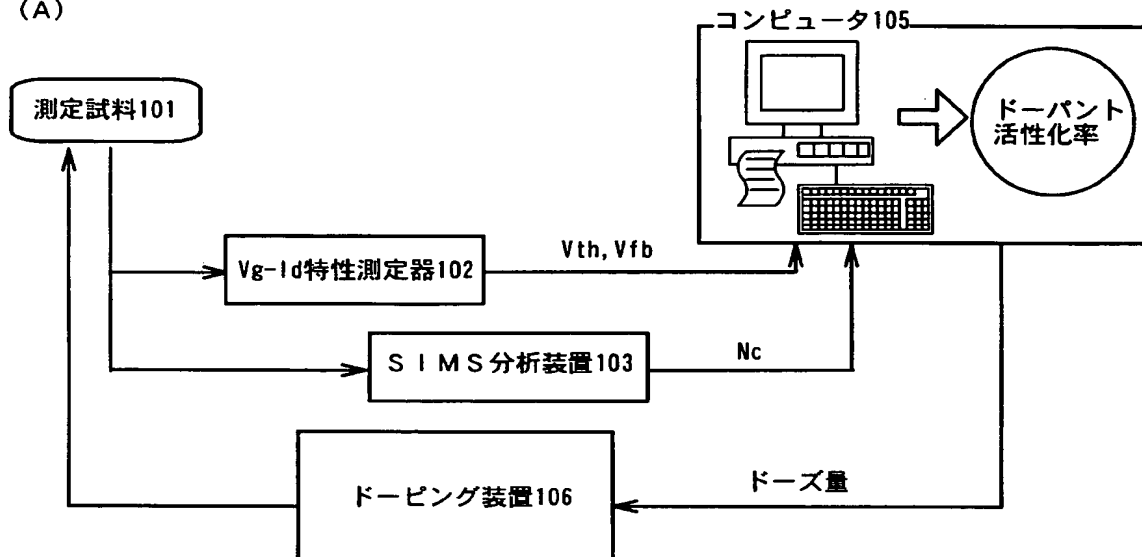
**【図面の簡単な説明】**

- 【図 1】** 本発明の設計管理システムの一例を示す図。
- 【図 2】** 本発明の設計管理システムの一例を示す図。
- 【図 3】** 本発明のコンピュータシステムの一例を示す図。
- 【図 4】** 本発明の測定試料を示す図。
- 【図 5】** 本発明の実験結果を示す図。
- 【図 6】** 本発明の実験結果を示す図。
- 【図 7】** 本発明の実験結果を示す図。
- 【図 8】** 本発明の実験結果を示す図。
- 【図 9】** 本発明の実験結果を示す図。
- 【図 1 0】** 本発明の実験結果を示す図。
- 【図 1 1】** 本発明の実験結果を示す図。
- 【図 1 2】** 本発明のソフトウェアルーチンのフロー図。

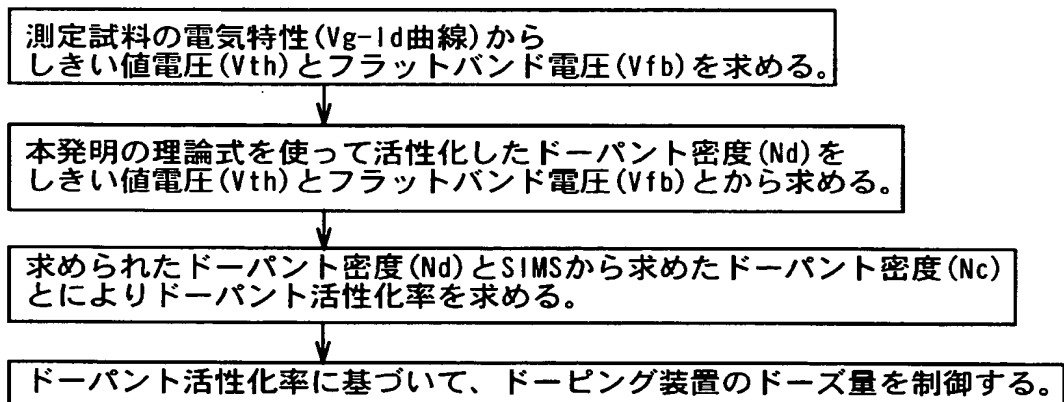
【書類名】 図面

【図 1】

(A)

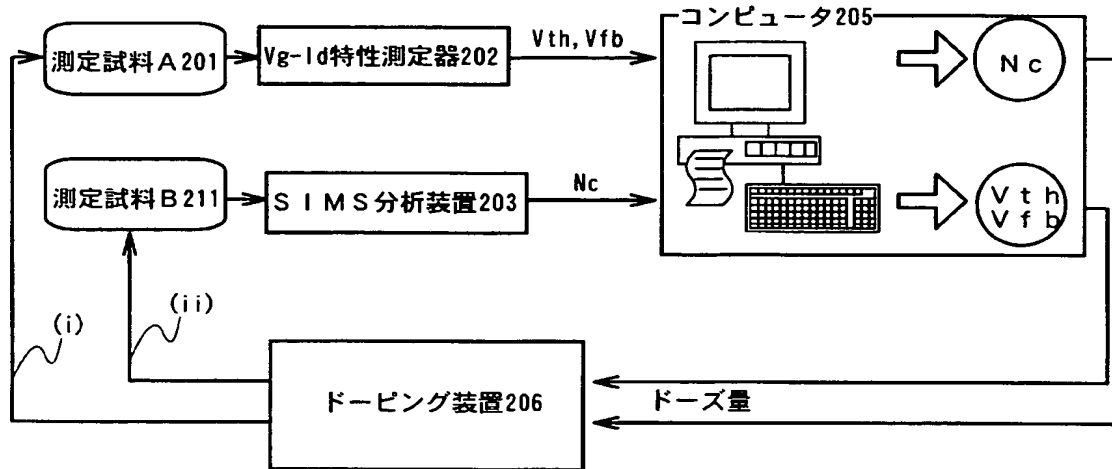


(B)



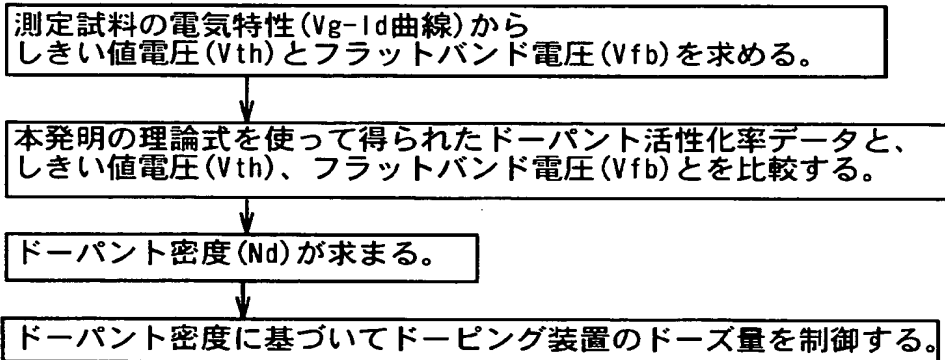
【図 2】

(A)

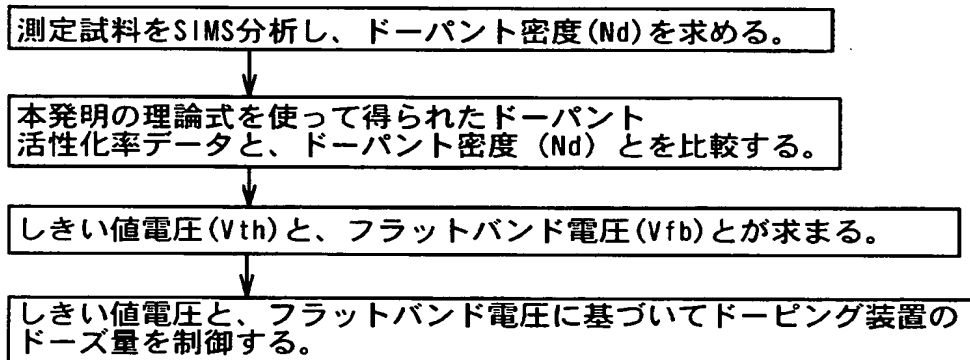


(B)

(i)

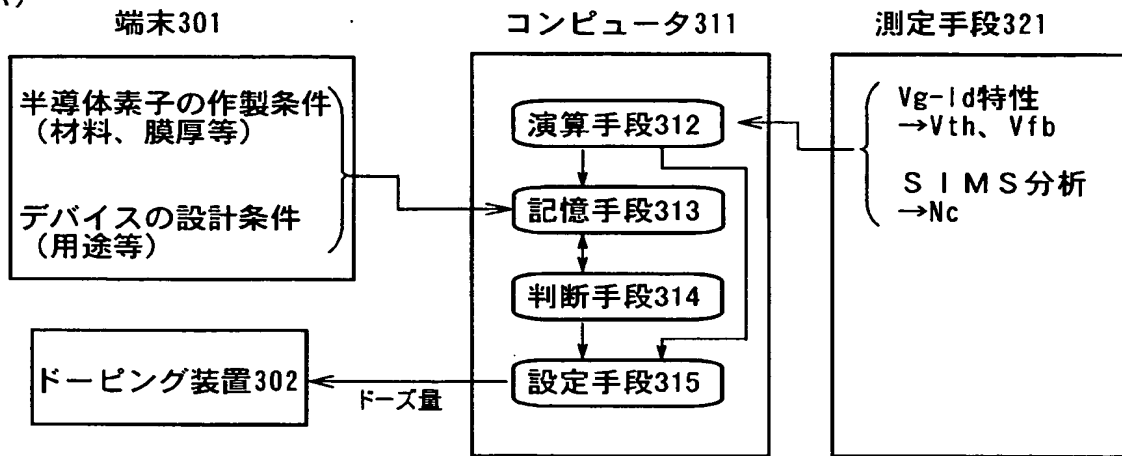


(ii)



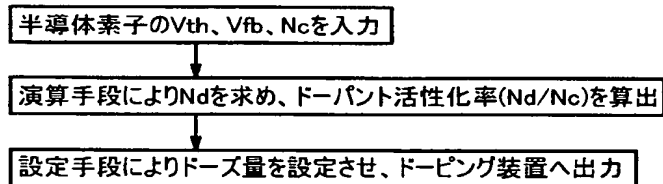
【図 3】

(A)

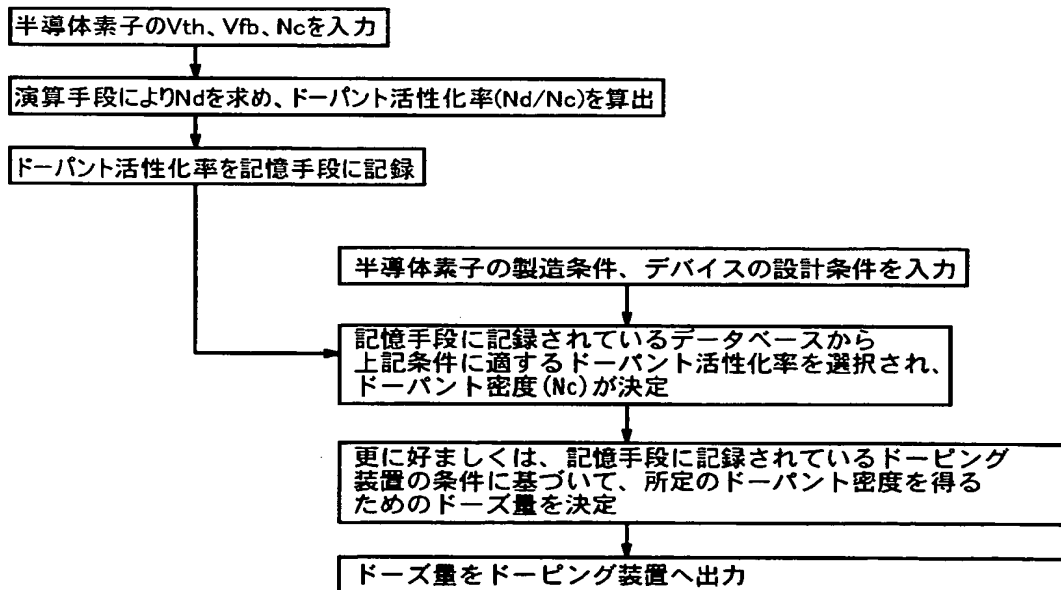


(B)

(i)



(ii)

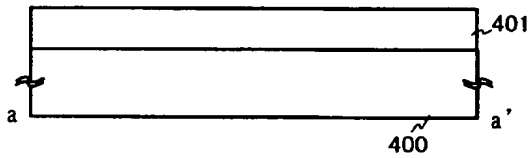




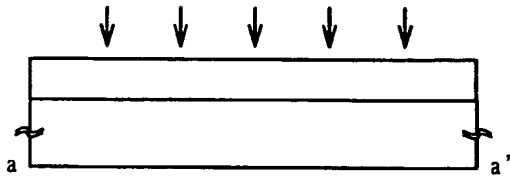
【図 4】

(A) 測定試料

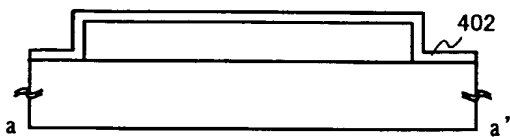
(i) 結晶化



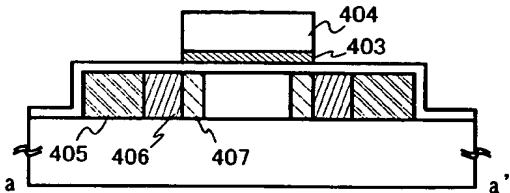
(ii) ポロンドープ



(iii) パターニング、ゲート絶縁膜形成

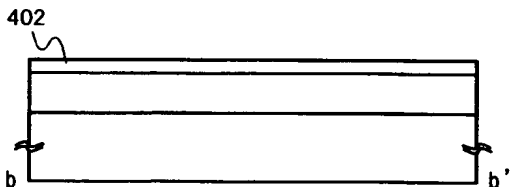
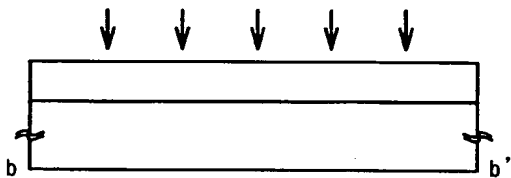
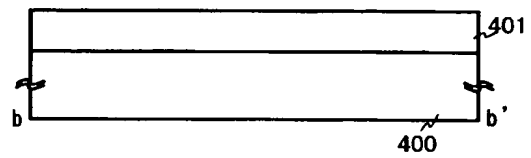


(iv) ゲート電極形成、不純物領域形成



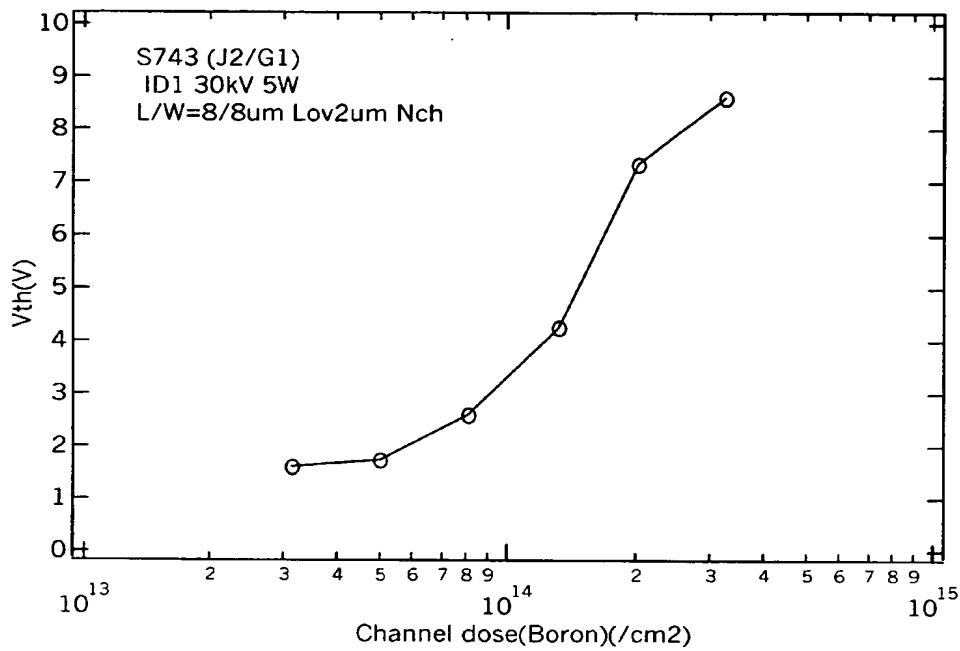
↓  
完成

(B) SIMS試料

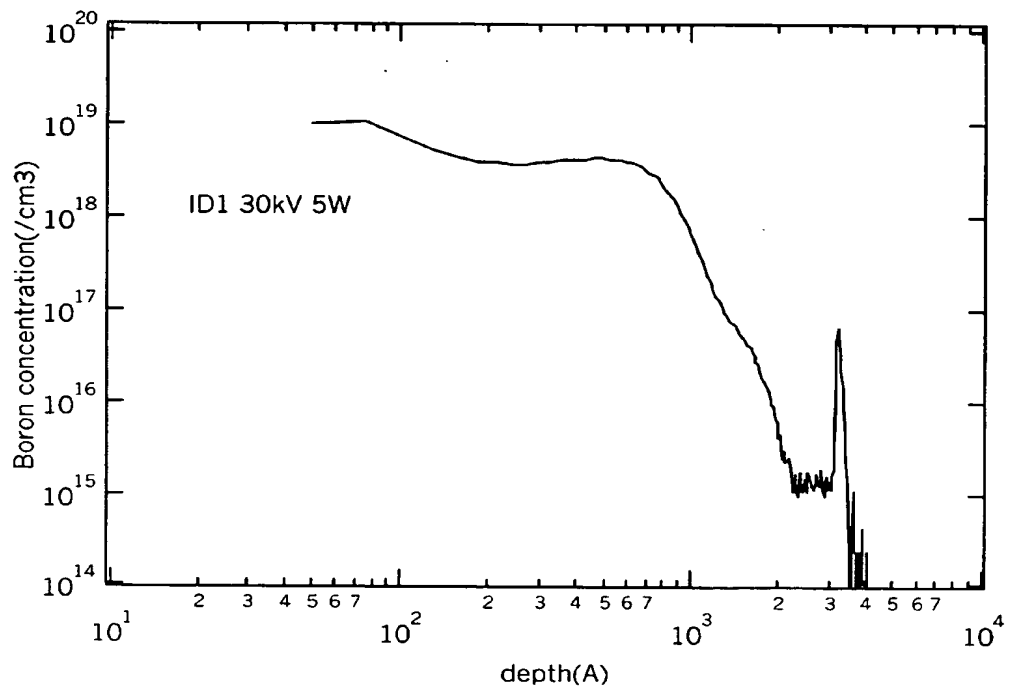


↓  
完成

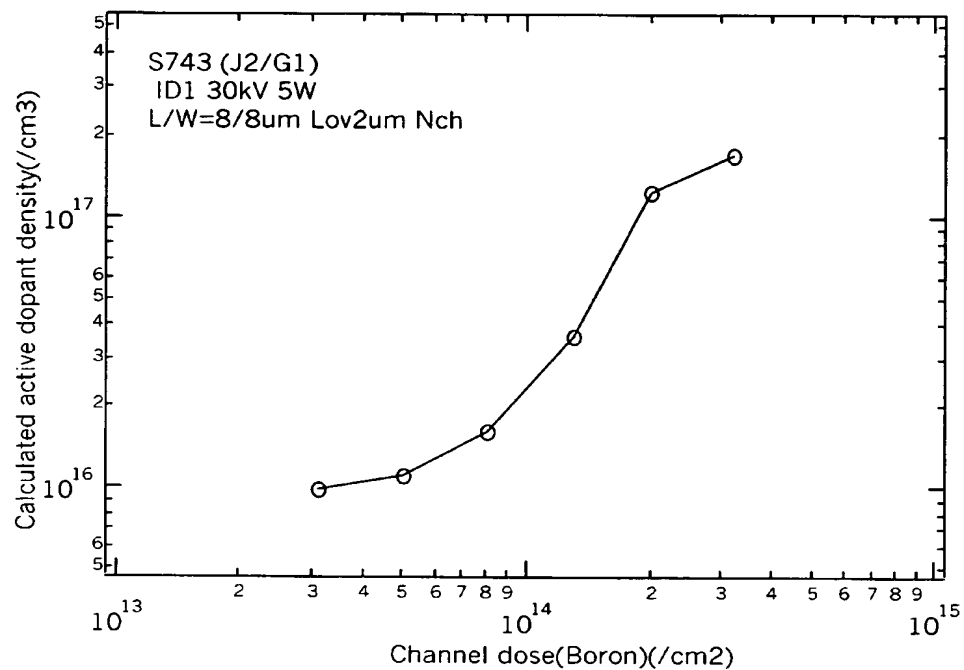
【図 5】



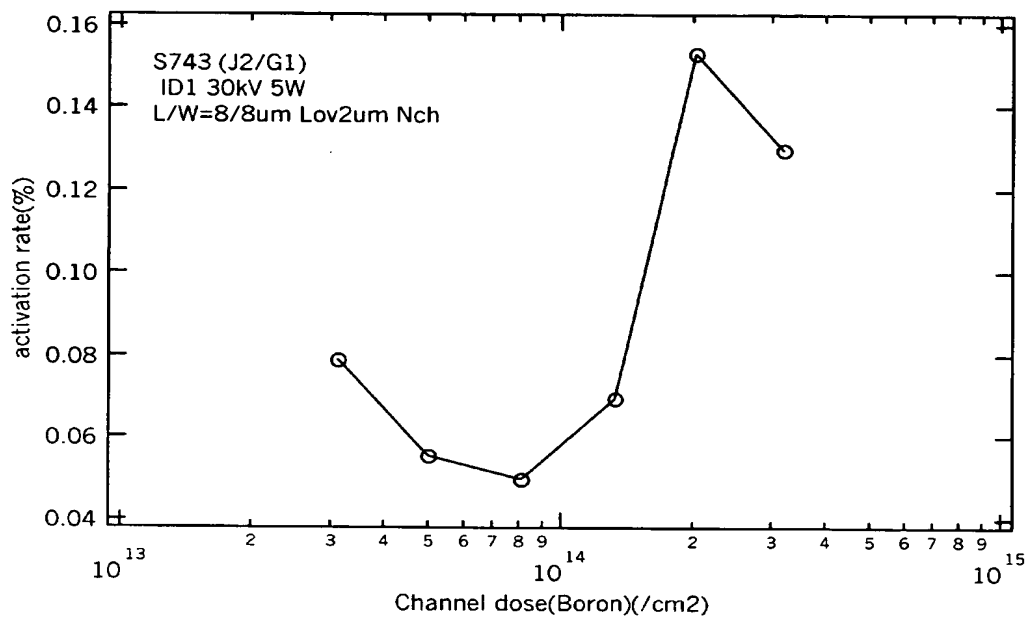
【図 6】



【図 7】

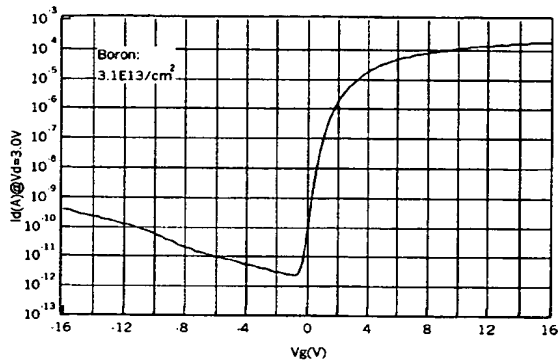


【図 8】

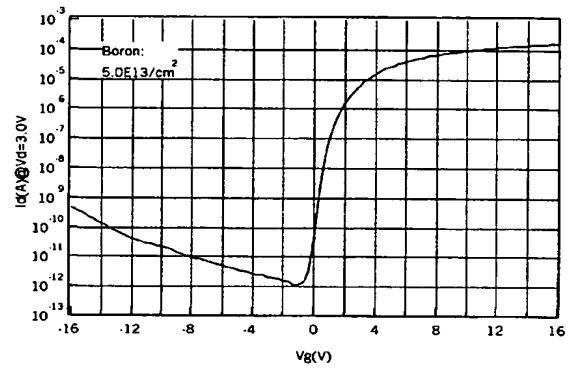


【図 9】

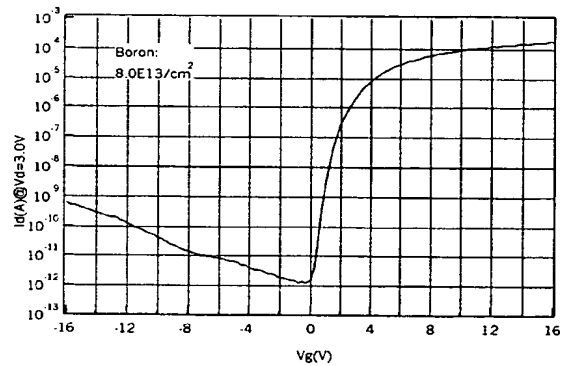
## ・測定試料 1



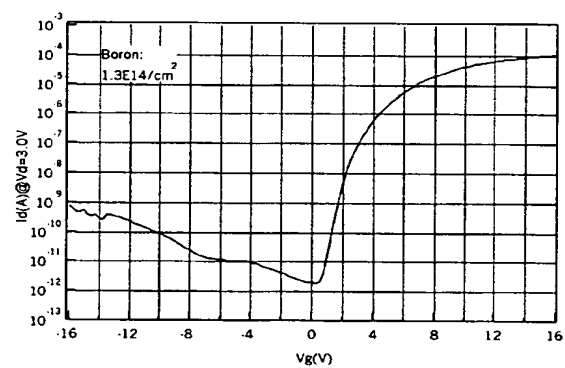
## ・測定試料 2



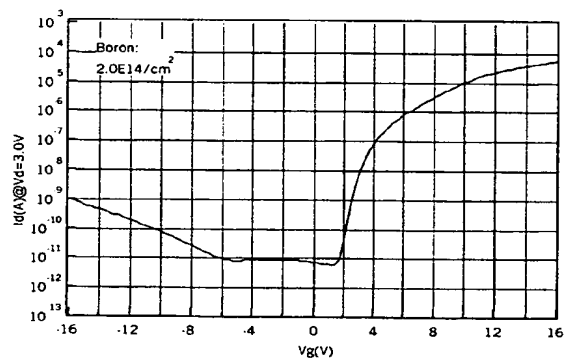
## ・測定試料 3



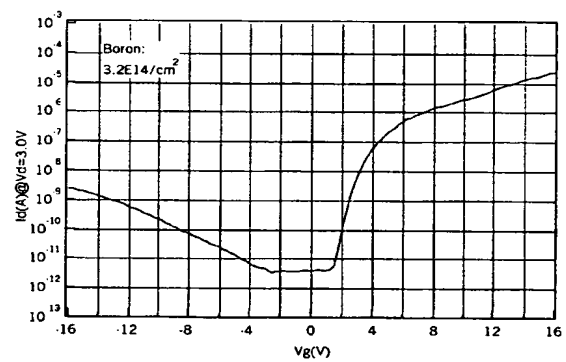
## ・測定試料 4



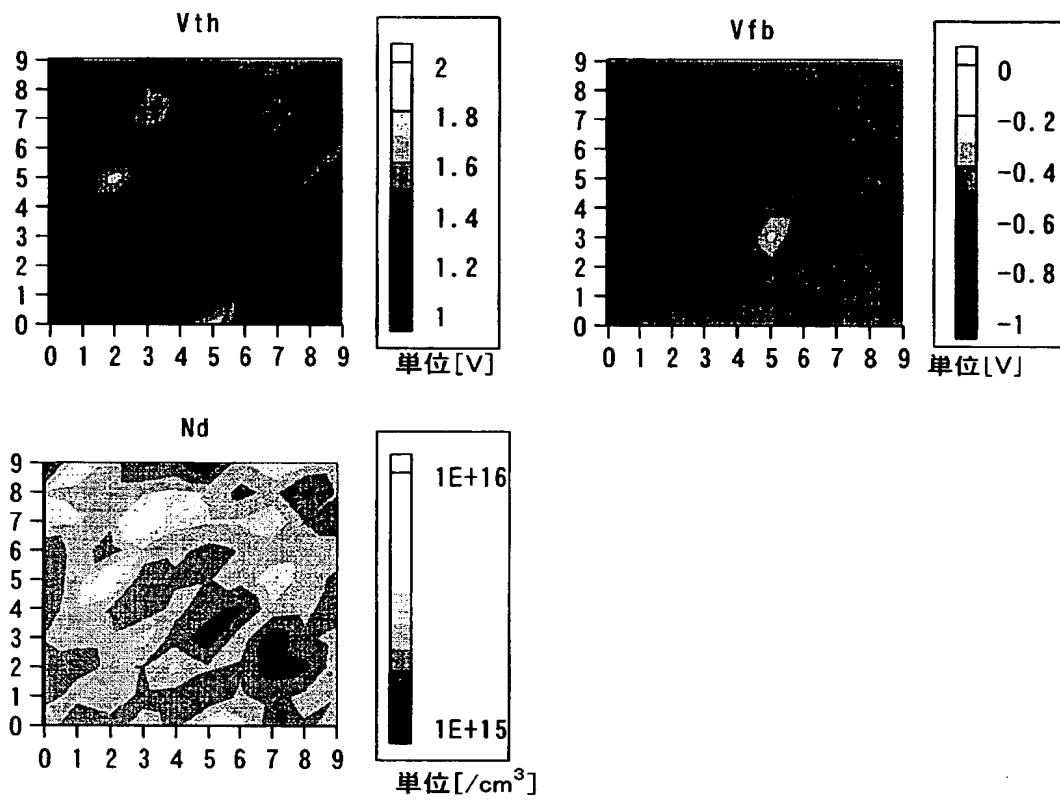
## ・測定試料 5



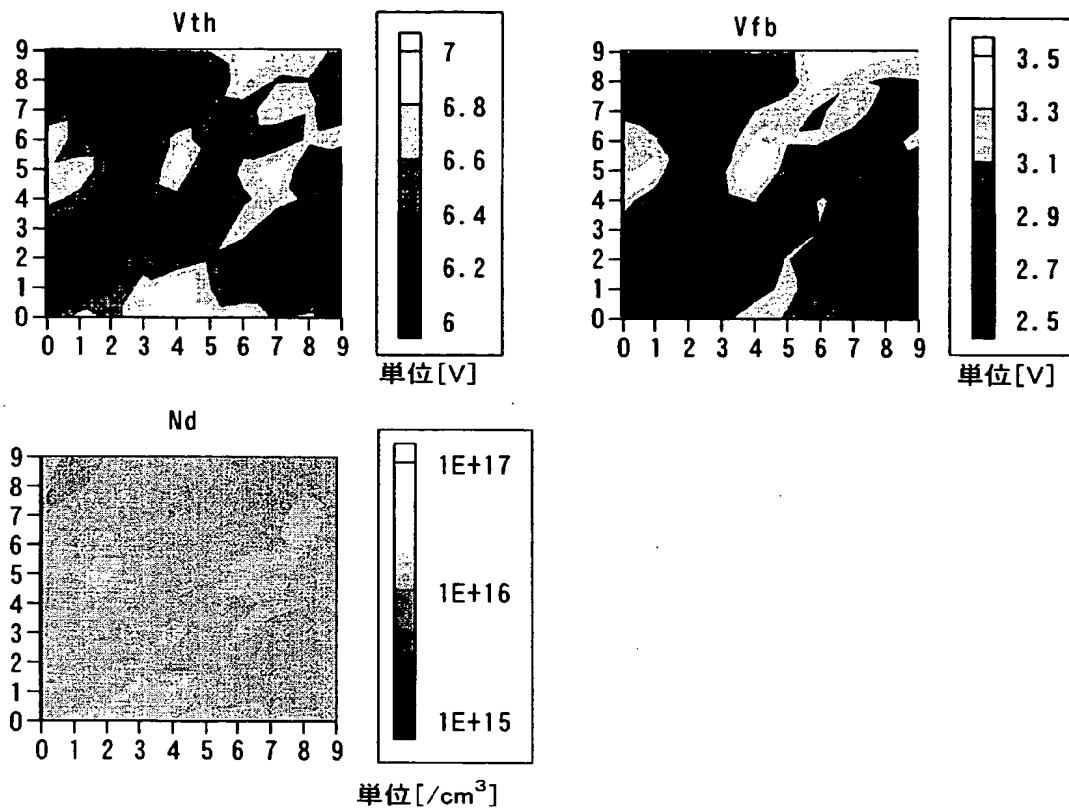
## ・測定試料 6



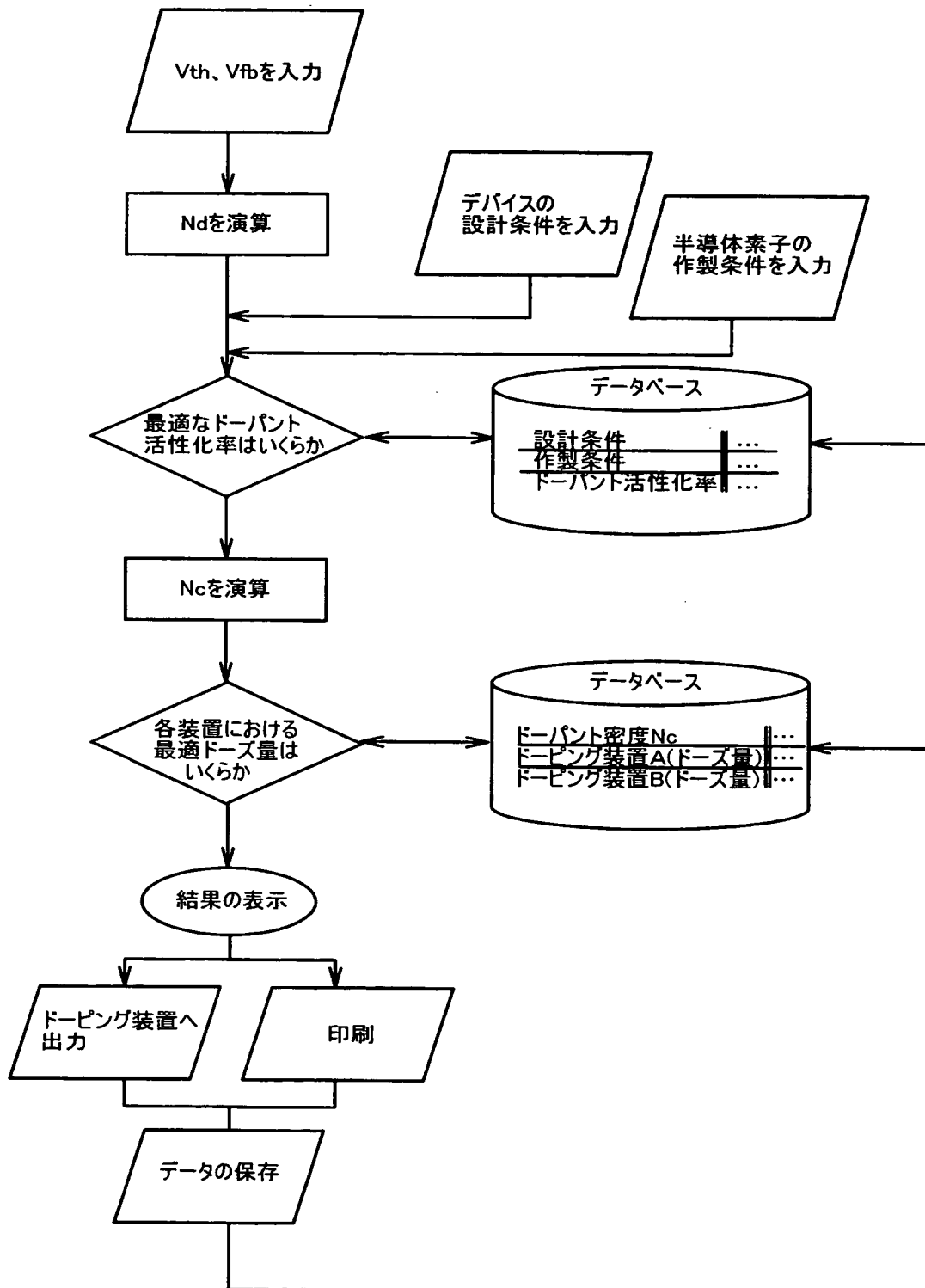
【図 10】



【図 11】



【図 12】



**【書類名】 要約書****【要約】**

**【課題】** ホール測定法やCV測定法を用いて精度良くキャリア密度を求める方法とは異なり、正確、且つ簡便にデバイスのドーパント活性化率を求める新たな方法を提供する。そして、本発明は求められた活性化率を基に、適切なしきい値電圧制御、つまりドーズ量の制御を行ったデバイスの製造方法を提供する。

**【解決手段】** 本発明者は、デバイスのしきい値電圧とフラットバンド電圧から半導体膜の活性化されたドーパント密度を求め、SIMS分析から求めた添加されたドーパント密度との比からドーパント活性化率を求める方法を導きだした。本発明により、デバイスのチャネル形成領域や不純物領域のドーパント活性化率を簡便に求めることができる。

**【選択図】 図 1**



特願 2 0 0 2 - 3 2 4 4 6 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所